



PCT/PL03/00058

ZASŁWIADCZENIE

Advanced Digital Broadcast Ltd.,

REC'D 19 FEB 2004

WIPO PCT

Taipei, Tajwan

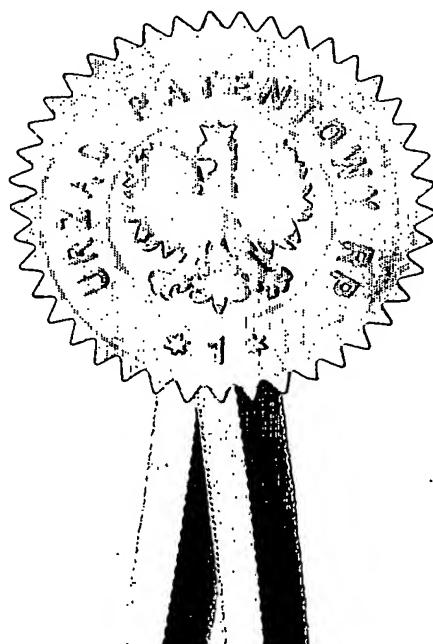
złożył w Urzędzie Patentowym Rzeczypospolitej Polskiej dnia 01 lipca 2002 r. podanie o udzielenie patentu na wynalazek pt.: „Układ wykrywający zadziałanie wewnętrzne układu dozorującego pracę mikroprocesora i sposób zerowania systemu mikroprocesorowego zawierającego układ wykrywający zadziałanie wewnętrzne układu dozorującego.”

Dołączone do niniejszego zaświadczenia opis wynalazku, zastrzeżenia patentowe i rysunki są wierną kopią dokumentów złożonych przy podaniu w dniu 01 lipca 2002 r.

Podanie złożono za numerem P354827

Na podstawie umowy nadesłanej do Urzędu Patentowego RP w dniu 13 czerwca 2003 r. dopisano drugiego zgłaszającego: Advanced Digital Broadcast Polska Spółka z o. o., Zielona Góra, Polska.

Warszawa, dnia 04 lutego 2004 r.



z upoważnienia Prezesa

inż. Barbara Zabczyk

Naczelnik

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

Układ wykrywający zadziałanie wewnętrznego układu dozorującego pracę mikroprocesora i sposób zerowania systemu mikroprocesorowego zawierającego układ wykrywający zadziałanie wewnętrznego układu dozorującego

5

Przedmiotem wynalazku jest układ wykrywający zadziałanie wewnętrznego układu dozorującego pracę mikroprocesora.

Układ dozorujący pracę mikroprocesora, po angielsku *watchdog timer*, jest wykorzystywany w systemach mikroprocesorowych do sprawdzania w sposób ciągły, czy mikroprocesor poprawnie realizuje narzucony mu program. Poprawnie działający mikroprocesor wykonuje cyklicznie określone działania, przykładowo dokonuje zapisu do rejestru, podaje impuls na jedno ze swoich wyprowadzeń czy odczytuje dane. Układ dozorujący śledzi te zdarzenia i jeśli nie występują one przez określony czas to restartuje mikroprocesor, aby 15 przywrócić poprawne wykonywanie programu.

W znanych rozwiązańach, biorąc pod uwagę jego umieszczenie, układ dozorujący jest zawarty wewnętrznej strukturze mikroprocesora lub stanowi osobny układ znajdujący się na zewnątrz mikroprocesora. Pod względem funkcjonalnym, układ dozorujący po zadziałaniu może restartować 20 mikroprocesor lub cały system. W przypadku restartu tylko samego mikroprocesora, ewentualny restart całego systemu musi zostać przeprowadzony przez sam mikroprocesor. Niektóre mikroprocesory z wewnętrznym układem dozorującym posiadają wyprowadzenie, którego stan informuje o zadziałaniu układu dozorującego i które nadaje się do 25 wykorzystania do restartu całego systemu.

W typowym systemie, generator impulsów zegarowych wysyła sygnały do mikroprocesora, układu dozorującego i innych układów tego systemu. W

przypadku gdy układ dozorujący jest zrealizowany jako licznik impulsów zegarowych, układ dozorujący po zliczeniu określonej liczby impulsów wysyła 30 sygnał wznawiania pracy lub zerowania mikroprocesora. Mikroprocesor w trakcie normalnej pracy, aby uniknąć zerowania, odpowiednio wcześniej wysyła sygnał do układu dozorującego, który powoduje, że układ dozorujący zaczyna 35 zliczać impulsy od nowa. Tym samym podczas normalnej pracy mikroprocesora układ dozorujący jest cyklicznie zerowany. W przypadku zakłócenia pracy mikroprocesora sygnał zerujący układ dozorujący nie zostanie 40 wysłany w odpowiednim czasie i nastąpi zerowanie mikroprocesora.

Często spotykanym problemem jest zapis danych do pamięci stałej typu *Flash*, gdzie znajduje się program wykonywany przez procesor, gdy jest konieczna kontrola dostępu do wspomnianej pamięci i ustawiania jej w tryb 45 zapisu lub odczytu. Dla poprawnego działania systemu tak operacja zapisu jak i operacja odczytu pamięci musi przebiegać bez zakłóceń. Gdy wówczas wystąpią zakłócenia w pracy procesora i zostanie on wyzerowany przez układ dozorujący, konieczne jest również wyzerowanie pamięci typu *Flash*. Aby tego dokonać, należy wygenerować sygnał restartu całego systemu.

45 Jedno z rozwiązań prowadzące do uniknięcia problemu dostępu do pamięci typu *Flash* jest przedstawione w amerykańskim opisie patentowym nr 5,983,330 pod tytułem „Microcomputer with Watchdog Timer Setting Suppressing Interrupt Request Processing Over Memory Data Write Operation to Flash Memory”. Rozwiązanie to polega na odłączeniu układu dozorującego 50 od mikroprocesora podczas zapisywania danych do pamięci typu *Flash*. Jednak to rozwiązanie nie jest pozbawione wad. Wymaga ono możliwości kontroli nad sygnałem wysyłanym przez układ dozorujący, a ponadto poprzez oddzielenie układu dozorującego zwiększa się prawdopodobieństwo zawieszenia się systemu.

55 Inne rozwiązanie jest przedstawione w opisie patentowym nr EP 0 945 770 A2 Europejskiego Urzędu Patentowego pod tytułem „Electronic control unit and method having program rewriting function”. Opisano w nim kontrolę systemu w trakcie zapisu danych do pamięci typu *Flash*. Jego wadą jest wymóg, aby procesor zasygnalizował swoją nieprawidłową pracę.

60 Istotą wynalazku jest to, że w układzie wykrywającym zadziałanie wewnętrznego układu dozorującego pracę mikroprocesora zawierającym mikroprocesor z wewnętrznym układem dozorującym i linią wejścia/wyjścia przekazującą informację o wyzerowaniu mikroprocesora i układ zerowania systemu mikroprocesorowego, do linii wejścia/wyjścia przekazującej informację 65 o wyzerowaniu mikroprocesora jest podłączone wejście zegarowe CK wyzwalające przerutnik, którego wejście D danych i zanegowane wejście /R zerowania są podłączone do wyjścia układu zerowania systemu mikroprocesorowego, zaś zanegowane wyjście /Q przerutnika jest podłączone do wejścia układu zerowania systemu mikroprocesorowego.

70 Korzystnie linia wejścia/wyjścia przekazująca informację o wyzerowaniu mikroprocesora jest podłączona do źródła zasilania V_{cc} poprzez zewnętrzny opornik.

75 Korzystnie warunkiem zerowania systemu mikroprocesorowego wywołanego zerowaniem mikroprocesora jest aby na zanegowanym wejściu zerowania /R i na wejściu danych D istniał stan wysoki i nastąpiła zmiana wejścia zegarowego CK ze stanu niskiego na stan wysoki.

Korzystnie nie dopuszcza się do zerowania systemu mikroprocesorowego wywołanego zerowaniem mikroprocesora powodując niski stan zanegowanego wejścia zerowania /R.

80 Istotą wynalazku jest również to, że w sposobie zerowania systemu mikroprocesorowego zawierającego układ wykrywający zadziałanie wewnętrznego układu dozorującego pracę mikroprocesora, po zakłóceniu pracy mikroprocesora linię wejścia/wyjścia mikroprocesora ustawia się w stan wysokiej impedancji i wysyła się sygnał zerowania systemu do układu 85 zerowania systemu mikroprocesorowego wygenerowany przez przerutnik, a po zakończeniu zerowania systemu mikroprocesorowego linię wejścia/wyjścia ustawia się w stan niski.

90 Korzystnie warunkiem zerowania systemu mikroprocesorowego jest aby przerutnik posiadał zanegowane wejście zerowania /R, wejście danych D i wejście zegarowe CK i aby na zanegowanym wejściu zerowania /R i na wejściu

danych D istniał stan wysoki i nastąpiła zmiana wejścia zegarowego CK ze stanu niskiego na stan wysoki.

Korzystnie blokuje się zerowanie systemu mikroprocesorowego wywołanego zerowaniem mikroprocesora powodując niski stan zanegowanego wejścia /R zerowania.

Przedmiot wynalazku jest uwidoczniony w przykładach wykonania na rysunku, na którym fig. 1 przedstawia uproszczony schemat mikroprocesora wraz z układem dozorującym pracę mikroprocesora, fig. 2 przedstawia przebiegi sygnałów wyzwalanych przez układ dozorujący, przerzutnik i układ 95 zerowania systemu, fig. 3 przedstawia fragment procedury uruchamiania procesora, pozwalający na wygenerowanie sygnału pomocnego do wykrycia zadziałania układu dozorującego.

Fig. 1 przedstawia system, w skład którego wchodzi blok 1 procesora i pamięć typu *Flash* 16 oraz układ zerowania 19 systemu, a także przerzutnik 105 12, który jest odpowiedzialny za wykrycie zerowania centralnej jednostki obliczeniowej 6 dokonanego przez wewnętrzny układ dozorujący 2. Przerzutnik 12 jest wyzwalany rosnącym zboczem sygnału zegarowego CK, co powoduje pojawić się na jego wyjściu /Q sygnału podanego na wejście danych D.

Dodatkowo, wyjście przerzutnika może być w każdej chwili wyzerowane 110 sygnałem zerującym /R. Blok 1 procesora składa się z centralnej jednostki obliczeniowej 6 i układu dozorującego 2 oraz kontrolera pamięci zewnętrznej 4.

Centralna jednostka obliczeniowa 6, chcąc zapisać dane do pamięci typu *Flash* 16, przesyła je do kontrolera pamięci zewnętrznej 4 szyną danych 17. Kontroler 115 pamięci zewnętrznej 4 przesyła dane do pamięci typu *Flash* 16 szyną 9. W przypadku poprawnej pracy centralnej jednostki obliczeniowej 6, w określonych odstępach czasu wysyła ona sygnał zerowania 5 do układu dozorującego 2.

Gdy układ dozorujący 2 nie otrzyma w odpowiednim czasie sygnału zerowania 5 od centralnej jednostki obliczeniowej 6, wówczas wysyła sygnał zerowania 3 tylko centralnej jednostki obliczeniowej 6. Zerowanie samej centralnej jednostki obliczeniowej 6 poprzez wewnętrzny układ dozorujący 2 bez restartowania 120 całego systemu, w tym zerowania pamięci typu *Flash* 16, może spowodować późniejsze zawieszanie się systemu. Centralna jednostka obliczeniowa 6 może

wówczas na przykład odczytywać błędne dane, które pobierze z pamięci typu *Flash* 16. Oprogramowanie centralnej jednostki obliczeniowej 6, jeśli samo wykryje nieprawidłową pracę systemu, może wysłać sygnał zerowania 8 do układu zerowania 19 systemu, odpowiedzialnego za zerowanie centralnej jednostki obliczeniowej 6, pamięci typu *Flash* 16 oraz innych układów. Układ zerowania systemu jest układem posiadającym kilka wejść, aktywujących sygnały zerujące 20. Zadaniem układu zerowania jest ustawianie od nowa odpowiednich wartości różnych komponentów systemu w odpowiedniej kolejności. Przykładowo pamięć typu *Flash* musi być zerowana przed zerowaniem procesora, aby po uruchomieniu mógł on z niej pobrać prawidłowe dane. Układ zerowania systemu 19 może być aktywowany również przez inne sygnały, przykładowo poprzez sygnał zerowania 14 wykrywający zanik napięcia zasilania lub sygnał ręcznego 15 zerowania. Aby wykryć zadziałanie wewnętrznego układu dozorującego 2 i przeprowadzić zerowanie całego systemu, a nie tylko centralnej jednostki obliczeniowej 6, wykorzystany został fakt, że po wyzerowaniu centralnej jednostki obliczeniowej 6, procesor wprowadza swoje linie wejścia/wyjścia 11, 18 w stan wysokiej impedancji. Do wykrycia zadziałania wewnętrznego układu dozorującego 2 została zarezerwowana jedna linia wejścia/wyjścia 11 WDOG_PIO procesora. W zależności od wewnętrznej budowy centralnej jednostki obliczeniowej 6, linie wejścia/wyjścia 11, 18 mogą nie mieć wewnętrznych rezystorów podłączających porty centralnej jednostki obliczeniowej 6 do napięcia zasilania Vcc. W przedstawionym rozwiązaniu zastosowano zewnętrzny rezystor 10, który po wyzerowaniu centralnej jednostki obliczeniowej 6 i wprowadzeniu linii wejścia/wyjścia 11 w stan wysokiej impedancji powoduje uzyskanie na linii wejścia/wyjścia 11 WDOG_PIO stanu wysokiego, czyli logicznej jedynki. Linia wejścia/wyjścia 11 WDOG_PIO centralnej jednostki obliczeniowej 6 doprowadzona jest do przerutnika 12 na wejście wyzwalające CK. Do przerutnika 12, na wejście danych D i zanegowane wejście zerowania /R, doprowadzony jest także sygnał 20 zerowania systemu. Na podstawie doprowadzonych sygnałów, przerutnik 12 rozpoznaje kiedy należy wykonać zerowanie całego systemu wyzwalając sygnałem z zanegowanego wyjścia /Q

155 poprzez linię 13 układ zerowania 19 systemu. Tablica prawdy dla zastosowanego przerzutnika 12 jest następująca:

<u>/R</u>	<u>CK</u>	<u>D</u>	<u>/Q</u>
0	X	X	1
1	↑	1	0
1	↑	0	1

160

Z przedstawionej tablicy prawdy dla przerzutnika 12 wynika, że zerowanie systemu będzie miało miejsce wówczas, gdy na zanegowanym wejściu zerowania /R i na wejściu danych D będzie stan wysoki i nastąpi zmiana wejścia zegarowego CK ze stanu niskiego na stan wysoki. Natomiast niski stan zanegowanego wejścia zerowania /R wymusza wysoki stan zanegowanego wyjścia /Q, bez względu na wartość wejścia zegarowego CK i wejścia danych D i nie dopuszcza do zerowania systemu.

Fig. 2 przedstawia przebieg sygnału 26 System_nreset wyzwalanego przez układ zerowania systemu 19, przebieg sygnału 27 /Q wyzwalanego przez przerzutnik 12, przebieg sygnału 31 WDOG_PIO wyzwalanego przez centralną jednostkę obliczeniową 6 i przebieg sygnału 45 CPU_nreset wyzwalanego przez wewnętrzny układ dozorujący 2. Gdy wygenerowany zostanie sygnał zerowania 21, cały system, łącznie z centralną jednostką obliczeniową 6, zostaje wyzerowany. Wyzerowanie centralnej jednostki obliczeniowej 6 powoduje ustawienie linii wejścia/wyjścia 18 w stan wysokiej impedancji. Także linia wejścia/wyjścia 11 centralnej jednostki obliczeniowej 6, oznaczona jako WDOG_PIO, zostanie ustawiona w stan wysokiej impedancji, a poprzez zastosowanie rezystora 10 osiągnie stan wysoki 32. Po zakończeniu procedury zerowania 22, centralna jednostka obliczeniowa 6 wykonuje program, który powoduje ustawienie linii wejścia/wyjścia WDOG_PIO 11 w stan 33 niski, czyli logicznego zera, oraz wykonuje dalsze instrukcje programu. Tym samym następuje dalsza praca systemu. Gdy praca systemu zostanie zakłócona, układ dozorujący 2 wysyła sygnał zerowania 41 z wyjścia oznaczonego CPU_nreset,

który powoduje zerowanie centralnej jednostki obliczeniowej 6. Następnie
 185 centralna jednostka obliczeniowa 6 ustawia linię wejścia/wyjścia 18 w stan
 wysokiej impedancji, w tym również linię wejścia/wyjścia 11 WDOG_PIO, która
 poprzez zastosowanie rezystora 10 osiągnie stan wysoki 34. W międzyczasie
 sygnał zerowania staje się nieaktywny 42. Zmiana stanu 34 linii wejścia/wyjścia
 190 11 WDOG_PIO powoduje uaktywnienie przerzutnika 12. Wyjście 13
 przerzutnika 12 przechodzi w stan niski 28, uaktywniając układ zerowania 19
 systemu, przez co na jego wyjściu 20 uaktywnia się sygnał zerowania,
 osiągając stan niski 23. Sygnał ten jednocześnie przestawia wyjście 13
 195 przerzutnika 12 w stan wysoki 29 powodując wyłączenie sygnału
 powodującego zerowanie systemu. Po zakończeniu zerowania systemu 24,
 centralna jednostka obliczeniowa 6, wykonując program uruchamiania
 procesora, ustawia linię wejścia/wyjścia 11 WDOG_PIO w stan niski 35
 umożliwiając dalszą pracę systemu.

Aby opisany układ funkcjonował poprawnie, wymagane jest ustawienie
 linii wejścia/wyjścia 11 WDOG_PIO w stan niski po każdorazowym zerowaniu
 200 centralnej jednostki obliczeniowej 6, w skrócie nazwanej dalej procesorem. Fig.
 3 przedstawia fragment procedury wykonywanej w trakcie uruchamiania
 procesora, odpowiedzialny za ustawienie linii wejścia/wyjścia WDOG_PIO 11 w
 stan niski po zerowaniu procesora. Procedura zaczyna się od zerowania 50
 procesora. Procesor początkowo ustawia wszystkie linie wejścia/wyjścia w stan
 205 wysokiej impedancji w bloku 51. Następnie wykonuje procedury inicjalizacji
 środowiska w bloku 52, gdzie następuje ustawienie wszelkich parametrów
 pracy. Po zakończeniu inicjalizacji następuje uruchomienie programu z pamięci
 typu *Flash* w bloku 53. Program ten w pierwszych krokach rezerwuje określoną
 linię wejścia/wyjścia 11 nazwaną WDOG_PIO i ustawia ją w tryb wyjścia w
 210 bloku 54, a następnie w stan niski w bloku 55. Następnie procesor przechodzi
 do wykonywania dalszych instrukcji programu z pamięci typu *Flash* w bloku 56.

PATELHA
 Kancelaria Patentowa
 Dr inż. Ludwik Hudy
 Rzecznik Patentowy
 32-070 Czernichów, Czernichów 4
 REGON 350765668. NIP 677-100-93-67

PEŁNOMOCNIK
 Dr inż. LUDWIK HUDY
 Rzecznik Patentowy
 Nr rej. 3098

Zastrzeżenia patentowe

1. Układ wykrywający zadziałanie wewnętrznego układu dozorującego pracę mikroprocesora zawierający mikroprocesor z wewnętrznym układem dozorującym i linią wejścia/wyjścia przekazującą informację o wyzerowaniu mikroprocesora i układ zerowania systemu mikroprocesorowego znamienny tym, że do linii wejścia/wyjścia (11) przekazującej informację o wyzerowaniu mikroprocesora (6) jest podłączone wejście zegarowe CK wyzwalające przerutnik (12), którego wejście D danych i zanegowane wejście /R zerowania 10 są podłączone do wyjścia układu zerowania (19) systemu mikroprocesorowego, zaś zanegowane wyjście /Q przerutnika (12) jest podłączone do wejścia układu zerowania (19) systemu mikroprocesorowego.
2. Układ wykrywający zadziałanie wewnętrznego układu dozorującego według zastrz. 1, znamienny tym, że linia wejścia/wyjścia (11) przekazująca informację o wyzerowaniu mikroprocesora (6) jest podłączona do źródła zasilania (V_{cc}) poprzez zewnętrzny opornik (10).
3. Układ wykrywający zadziałanie wewnętrznego układu dozorującego według zastrz. 1, znamienny tym, że warunkiem zerowania systemu mikroprocesorowego wywołanego zerowaniem mikroprocesora (6) jest aby na zanegowanym wejściu zerowania /R i na wejściu danych D przerutnika (12) istniał stan wysoki i nastąpiła zmiana wejścia zegarowego CK ze stanu niskiego na stan wysoki.

4. Układ wykrywający zadziałanie wewnętrznego układu dozorującego według zastrz. 1, znamienny tym, że nie dopuszcza się do zerowania systemu mikroprocesorowego wywołanego zerowaniem mikroprocesora (6) powodując niski stan zanegowanego wejścia zerowania /R przerzutnika (12).

30

5. Sposób zerowania systemu mikroprocesorowego zawierającego układ wykrywający zadziałanie wewnętrznego układu dozorującego pracę mikroprocesora, znamienny tym, że po zakłóceniu pracy mikroprocesora (6) linię wejścia/wyjścia (11) mikroprocesora (6) ustawia się w stan wysokiej 35 impedancji i wysyła się sygnał zerowania systemu do układu zerowania systemu mikroprocesorowego wygenerowany przez przerzutnik (12), a po zakończeniu zerowania systemu mikroprocesorowego linię wejścia/wyjścia (11) ustawia się w stan niski.

40 6. Sposób zerowania systemu mikroprocesorowego według zastrz. 5, znamienny tym, że warunkiem zerowania systemu mikroprocesorowego jest aby przerzutnik (12) posiadał zanegowane wejście zerowania /R, wejście danych D i wejście zegarowe CK i aby na zanegowanym wejściu zerowania /R i na wejściu danych D istniał stan wysoki i nastąpiła zmiana wejścia 45 zegarowego CK ze stanu niskiego na stan wysoki.

7. Sposób zerowania systemu mikroprocesorowego według zastrz. 5, znamienny tym, że blokuje się zerowanie systemu mikroprocesorowego wywołanego zerowaniem mikroprocesora (6) powodując niski stan 50 zanegowanego wejścia /R zerowania.

PEŁNOMOCNIK
Hudy
Dr inż. LUDWIK HUDY
Rzecznik Patentowy
Nr rej. 3098

1/3

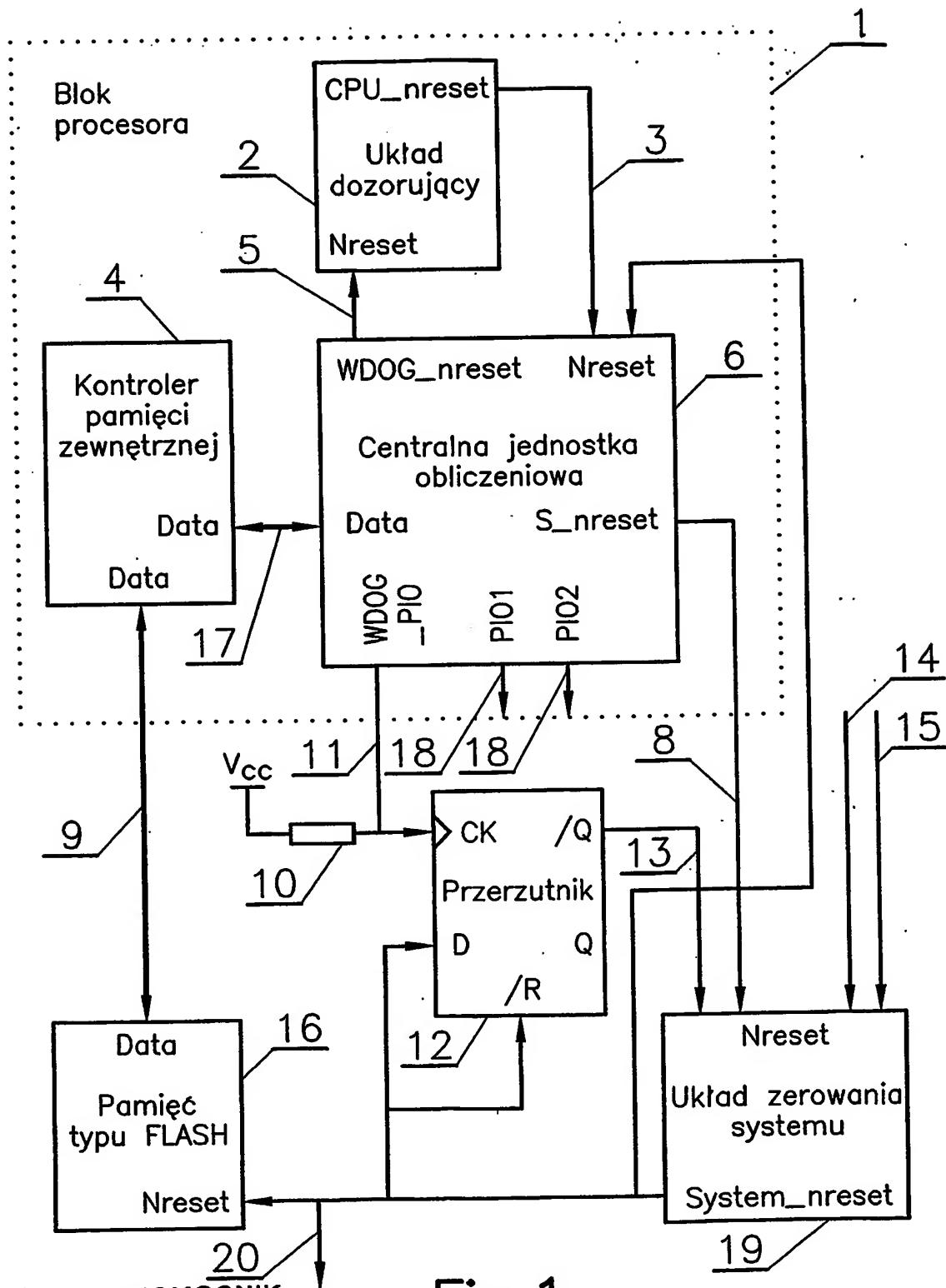


Fig.1

354827

2/3

6

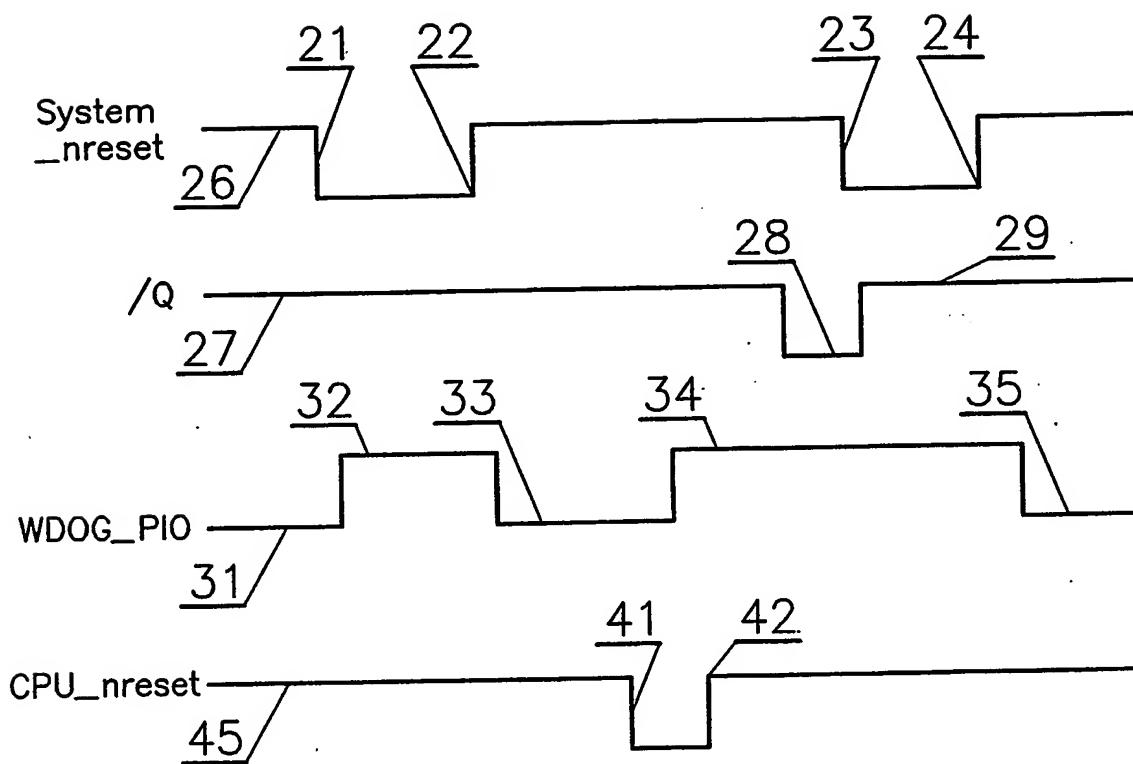


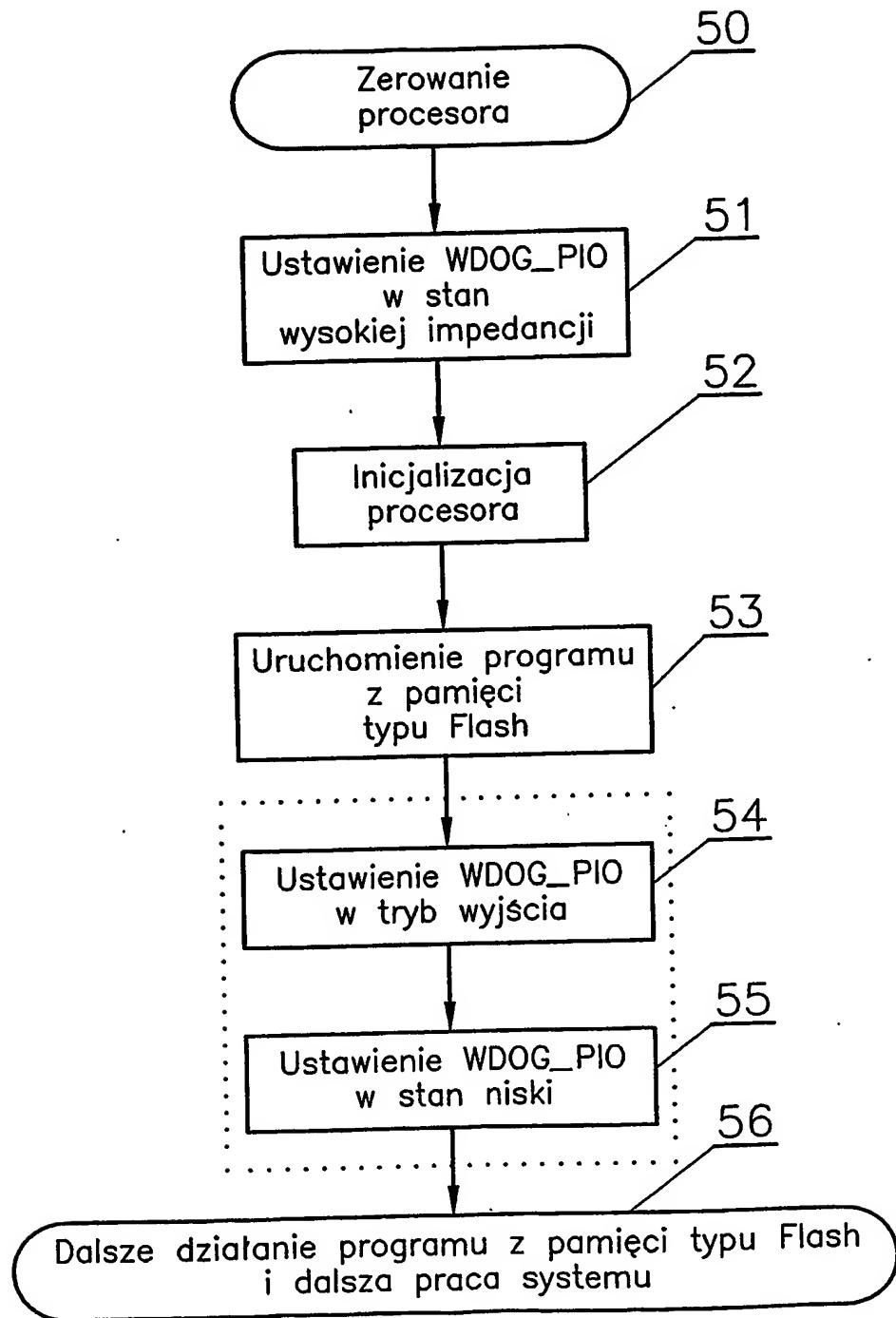
Fig.2

PEŁNOMOCNIK

Hudy

Dr inż. LUDWIK HUDY
Rzecznik Patentowy
Nr rej. 3098

3/3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.